

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月25日
Date of Application:

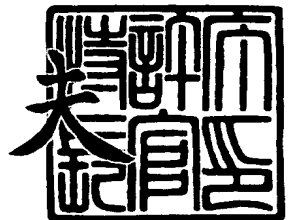
出願番号 特願2003-047190
Application Number:
[ST. 10/C]: [JP 2003-047190]

出願人 カシオ計算機株式会社
Applicant(s):

2004年 1月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3108294

【書類名】 特許願

【整理番号】 02-0936-00

【提出日】 平成15年 2月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/00
G09G 3/20
G09G 3/20 612
G09G 3/20 620

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社 八王子研究所内

【氏名】 白 寄 友 之

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代理人】

【識別番号】 100090033

【弁理士】

【氏名又は名称】 荒 船 博 司

【選任した代理人】

【識別番号】 100093045

【弁理士】

【氏名又は名称】 荒 船 良 男

【手数料の表示】

【予納台帳番号】 027188

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

●

【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 表示装置及び表示装置の駆動方法

【特許請求の範囲】

【請求項 1】

複数の画素回路を備え、当該画素回路毎に設けられた発光素子を所定の輝度階調電流で発光させることにより表示を行う表示装置において、

選択期間に、前記輝度階調電流より大きい第一電流を前記画素回路を介して信号線に流すことにより前記発光素子の輝度階調レベルを前記画素回路に記憶させるための輝度階調指定手段と、

前記選択期間に、前記輝度階調指定手段が前記画素回路を介して前記信号線に前記第一電流を流すために前記画素回路に第一電圧を出力し、非選択期間に、前記画素回路に前記第一電圧と異なる電位の第二電圧を出力することにより、前記画素回路に記憶された輝度階調レベルに基づいた前記画素回路の出力する電流を変調させることで前記画素回路に前記輝度階調電流を流す電流値切換電圧出力手段と、

を備えることを特徴とする表示装置。

【請求項 2】

前記画素回路は、

制御端子及び電流路を有し、当該電流路の一端が前記電流値切換電圧出力手段に接続されており、当該電流路の他端が前記発光素子に接続されている第一スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記電流値切換電圧出力手段に接続されており、当該電流路の他端が前記第一スイッチング素子の前記制御端子に接続されている第二スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記第一スイッチング素子の前記電流路の他端に接続されている第三スイッチング素子と、

を備えることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記電流値切換電圧出力手段は、前記選択期間に、前記第一スイッチング素子

の前記電流路を流れる前記第一電流が飽和電流となるように、前記第一スイッチング素子の前記電流路の一端に前記第一電圧を出力することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記電流値切換電圧出力手段は、前記非選択期間に、前記第一スイッチング素子の前記電流路を流れる前記輝度階調電流が不飽和電流となるように、前記第一スイッチング素子の前記電流路の一端に前記第二電圧を出力することを特徴とする請求項 2 又は請求項 3 に記載の表示装置。

【請求項 5】

前記輝度階調指定手段は、前記第三スイッチング素子の前記電流路の他端に接続されることを特徴とする請求項 2 ～ 4 のいずれか一項に記載の表示装置。

【請求項 6】

前記第二スイッチング素子の前記制御端子及び前記第三スイッチング素子の前記制御端子に選択信号を出力する選択走査手段を備えることを特徴とする請求項 2 ～ 5 のいずれか一項に記載の表示装置。

【請求項 7】

前記画素回路は、

制御端子及び電流路を有し、当該電流路の一端が前記電流値切換電圧出力手段に接続されており、当該電流路の他端が前記発光素子に接続されている第一スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記選択走査手段に接続されており、当該電流路の他端が前記第一スイッチング素子の前記制御端子に接続されている第二スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記第一スイッチング素子の前記電流路の他端に接続されている第三スイッチング素子と、

を備えることを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

複数の画素回路を備え、当該画素回路毎に設けられた発光素子を所定の輝度階調電流で発光させることにより表示を行う表示装置の駆動方法において、

選択期間に、前記画素回路に第一電圧を出力することにより前記輝度階調電流より大きい第一電流を前記画素回路を介して信号線に流すとともに前記第一電流の電流値にしたがった前記発光素子の輝度階調レベルを前記画素回路に記憶させるステップと、

非選択期間に、前記画素回路に前記第一電圧と異なる電位の第二電圧を出力することにより、前記画素回路に記憶された輝度階調レベルに基づいた前記画素回路の出力する電流を変調させることで前記画素回路に前記輝度階調電流を流すステップと、

を含むことを特徴とする表示装置の駆動方法。

【請求項 9】

前記画素回路は、

制御端子及び電流路を有し、当該電流路の一端に前記第一電圧及び前記第二電圧が選択的に入力され、当該電流路の他端が前記発光素子に接続されている第一スイッチング素子と、

制御端子及び電流路を有し、前記選択期間に当該電流路の一端に前記第一電圧が出力され、当該電流路の他端が前記第一スイッチング素子の前記制御端子に接続されている第二スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記第一スイッチング素子の前記電流路の他端に接続されている第三スイッチング素子と、

を備えることを特徴とする請求項 8 に記載の表示装置の駆動方法。

【請求項 10】

前記画素回路は、

制御端子及び電流路を有し、当該電流路の一端に前記第一電圧及び前記第二電圧が選択的に入力され、当該電流路の他端が前記発光素子に接続されている第一スイッチング素子と、

制御端子及び電流路を有し、前記選択期間に当該電流路の一端及び当該制御端子に選択走査信号が出力され、当該電流路の他端が前記第一スイッチング素子の前記制御端子に接続されている第二スイッチング素子と、

制御端子及び電流路を有し、当該電流路の一端が前記第一スイッチング素子の

前記電流路の他端に接続されている第三スイッチング素子と、
を備えることを特徴とする請求項 8 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、発光素子が画素毎に形成された表示パネルを具備する表示装置と、当該表示装置の駆動方法に関する。

【0002】

【従来の技術】

従来、有機 EL（エレクトロルミネッセンス）、無機 EL 又は LED（発光ダイオード）等といった発光素子がマトリクス状に配列されて、各発光素子が発光することによって表示を行う発光素子型表示装置が知られている。特に、アクティブマトリックス駆動方式の発光素子型表示装置は、高輝度、高コントラスト、高精細、低電力、薄型、視野角等の優位性を持っており、特に有機 EL 素子が注目されている。

【0003】

このような表示装置では、互いに平行に配列された複数の走査線が、透光性を有する基板上に形成され、これら走査線に対して直行するように配列された複数の信号線も基板上に形成されている。

【0004】

走査線及び信号線に囲まれる領域には、複数のトランジスタ（TFT など。）が形成されており、更に、この領域に一つの発光素子（有機 EL 素子）が形成されている。

【0005】

近年、有機 EL 素子の発光効率・色特性が著しく向上し、発光輝度が電流密度に対してほぼ比例した特性を示すため、所定の規格に基づいて高階調の有機 EL 表示装置の設計が可能である。この規格によると、有機 EL 素子が発光するのに必要な電流値は階調レベルあたりせいぜい数十 nA（ナノアンペア）～数 μ A（マイクロアンペア）程度である。有機 EL 素子は画素数の増大にしたがって駆動

周波数を高くしなければならないが、有機EL素子に流れる階調電流がこのような微小電流の場合、表示装置パネル内の寄生容量により時定数が増大するので所望の発光輝度に見合った電流値を有機EL素子に流すのに時間がかかってしまうために高速動作ができず、特に動画のような表示においては画質が著しく悪くなってしまうといった問題があった。最近、このような困難が回避可能な有機EL表示装置が考案されている（例えば、特許文献1参照。）。

【0006】

特許文献1に記載の有機EL表示装置は、一画素の等価回路として図7に示す電流ミラー付等価回路102を具備し、信号線704を流れる信号電流は、電流ミラーを構成するトランジスタ705、706のサイズ比に応じて設定されるため有機EL素子の発光に必要な電流値よりも大きく設定されてある。

【0007】

詳細に説明すると、電流ミラー付等価回路102は、有機EL素子701とトランジスタ702、705、706、707、コンデンサ709などが、画素毎に設けられている。また、電流ミラー付等価回路102は、それぞれの行の第一走査線703を順次選択する第一走査ドライバ（図示略。）と、それぞれの行の第二走査線708を順次選択する第二走査ドライバ（図示略。）とを具備し、リセット信号が第二走査ドライバにより第二走査線708に入力され、リセット信号よりも遅延した選択信号が第一走査ドライバにより第一走査線703に入力される。

【0008】

ここでは、リセット信号が第二走査ドライバにより第二走査線708に入力されてトランジスタ707がオン状態になり、トランジスタ706、705のゲート電圧が一旦リセットされる。そして、リセット信号の終了前に選択信号が第一走査ドライバにより第一走査線703に入力中に、階調電流がデータドライバにより信号線704に流れると、トランジスタ706にもこの階調電流が流れる。

【0009】

この際、階調電流のレベルがトランジスタ706によりゲート電圧のレベルに変換され、当該変換されたゲート電圧レベルがトランジスタ705により駆動電

流のレベルに変換される。これにより、有機EL素子701に駆動電流が流れ、有機EL素子701が駆動電流のレベルに応じた輝度で発光する。

【0010】

そして、第二走査線708に入力中のリセット信号が終了すると、トランジスタ707がオフ状態になり、これにより、トランジスタ705及びトランジスタ707のゲート電極が保持され、次のリセット信号が第二走査線708に入力されるまでの間、有機EL素子701が発光し続ける。

【0011】

【特許文献1】

特開2001-147659号公報

【0012】

【発明が解決しようとする課題】

しかしながら、上記特許文献1に記載の電流ミラー付等価回路102には、以下のような問題点がある。

電流ミラー付等価回路102は二つの走査ドライバを必要とする。そのため、電流ミラー付等価回路102は、製造コストが高く、走査ドライバの実装面積も増える。

また、電流ミラー付等価回路102では、画素ごとに五つのトランジスタが設けられているため、電力消費や製造コストが高くなると共に、歩留りの低下が生じる可能性がある。

【0013】

本発明が解決しようとする課題は、電力消費量が少なく、製造コストが安く、さらに、歩留りの高い表示装置及び当該表示装置の駆動方法を提供することである。

【0014】

【課題を解決するための手段】

本発明は、このような課題を解決するために、次のような特徴を備えている。なお、次に示す手段の説明中、括弧書きにより実施の形態に対応する構成を一例として示す。符号等は、後述する図面参照符号等である。

【0015】

請求項1に記載の発明は、複数の画素回路（例えば、画素回路 $D_{1,1} \sim D_{m,n_0}$ ）を備え、当該画素回路毎に設けられた発光素子（例えば、有機EL素子 $E_{1,1} \sim E_{m,n_0}$ ）を所定の輝度階調電流で発光させることにより表示を行う表示装置（例えば、有機EL表示装置1。）において、

選択期間に、前記輝度階調電流より大きい第一電流を前記画素回路を介して信号線に流すことにより前記発光素子の輝度階調レベルを前記画素回路に記憶させるための輝度階調指定手段（例えば、データドライバ3。）と、

前記選択期間に、前記輝度階調指定手段が前記画素回路を介して前記信号線に前記第一電流を流すために前記画素回路に第一電圧（例えば、電位 V_{HIGH} 。）を出力し、非選択期間に、前記画素回路に前記第一電圧と異なる電位の第二電圧（例えば、電位 V_{LOW} 。）を出力することにより、前記画素回路に記憶された輝度階調レベルに基づいた前記画素回路の出力する電流を変調させることで前記画素回路に前記輝度階調電流を流す電流値切換電圧出力手段（例えば、電源走査ドライバ6）と、

を備えることを特徴とする。

【0016】

また、請求項2に記載の発明は、複数の画素回路（例えば、画素回路 $D_{1,1} \sim D_{m,n_0}$ ）を備え、当該画素回路毎に設けられた発光素子（例えば、有機EL素子 $E_{1,1} \sim E_{m,n_0}$ ）を所定の輝度階調電流で発光させることにより表示を行う表示装置（例えば、有機EL表示装置1。）の駆動方法において、

選択期間に、前記画素回路に第一電圧（例えば、電位 V_{HIGH} 。）を出力することにより前記輝度階調電流より大きい第一電流を前記画素回路を介して信号線に流すとともに前記第一電流の電流値にしたがった前記発光素子の輝度階調レベルを前記画素回路に記憶させるステップと、

非選択期間に、前記画素回路に前記第一電圧と異なる電位の第二電圧（例えば、電位 V_{LOW} 。）を出力することにより、前記画素回路に記憶された輝度階調レベルに基づいた前記画素回路の出力する電流を変調させることで前記画素回路に前記輝度階調電流を流すステップと、

を含むことを特徴とする。

【0017】

従って、表示装置の構成を複雑化することなく、発光素子が発光するために十分なレベル（例えば、数十 nA～数 μ A 程度の微小レベル。）の発光信号（電流）を発光素子に供給可能となるので、消費電力の削減が図られると共に、製造コストが安く、歩留りの高い表示装置および当該表示装置の駆動方法が提供できる。

【0018】

【発明の実施の形態】

以下、図面を参照して本発明を適用した一実施の形態について説明する。

【0019】

図1に、本発明を適用した有機EL表示装置1の内部構成を示す。図1に示すように、有機EL表示装置1は、有機EL表示パネル2と、外部回路11からクロック信号CK1や輝度階調信号SCを含む制御信号群D_{CNT}が入力されるデータドライバ3と、外部回路11からクロック信号CK2を含む制御信号群G_{CNT}が入力される選択走査ドライバ5と、電源走査ドライバ6とを基本構成として備える。

【0020】

有機EL表示パネル2は、画像を実質的に表示する表示部4が透明基板8に設けられて構成される。表示部4の周囲に選択走査ドライバ5、データドライバ3および電源走査ドライバ6が形成されている。

【0021】

ここで、有機EL表示パネル2は、表示部4内の有機EL素子E_{1,1}～E_{m,n}の特性にしたがった所定の規格に基づいて設計されたものとする。例えば、フルカラー有機EL表示パネル2の有機EL素子E_{1,1}～E_{m,n}において、一画素の発光面積が0.001～0.01mm²と設定し、R、G、Bの各最大輝度の平均を400cd/cm²とし、この時の電流密度が10～150A/cm²であるとする、一階調当たりの電流変位はせいぜい数nA～数 μ A程度の微小レベルの電流となる。

【0022】

表示部4は、 $(m \times n)$ 個の画素 $P_{1,1} \sim P_{m,n}$ が透明基板8上にマトリクス状に設けられている。すなわち、縦方向（列方向）に m 個の画素 $P_{i,j}$ が配列され、横方向（行方向）に n 個の画素 $P_{i,j}$ が配列されている。ここで、 m 、 n は自然数であり、 i は1以上 m 以下の自然数であり、 j は1以上 n 以下の自然数であり、縦に i 番目（つまり、 i 行目）であって横に j 番目（つまり、 j 列目）の画素を画素 $P_{i,j}$ と記す。

【0023】

表示部4は、 m 本の選択走査線 $X_1 \sim X_m$ と、 m 本の電源走査線 $Z_1 \sim Z_m$ と、 n 本の信号線 $Y_1 \sim Y_n$ とが互いに絶縁されるように透明基板8上に形成されている。

【0024】

選択走査線 $X_1 \sim X_m$ は、互いに平行に横方向に延在し、電源走査線 $Z_1 \sim Z_m$ は選択走査線 $X_1 \sim X_m$ に対し交互に配列されている。

【0025】

信号線 $Y_1 \sim Y_n$ は、互いに平行に縦方向に延在し、選択走査線 $X_1 \sim X_m$ に対し垂直に交差している。選択走査線 $X_1 \sim X_m$ 、電源走査線 $Z_1 \sim Z_m$ および信号線 $Y_1 \sim Y_n$ は層間絶縁膜等により互いに絶縁されている。

【0026】

また、データドライバ3、選択走査ドライバ5および電源走査ドライバ6は、透明基板8上に直接設けられていても良いし、透明基板8の周辺に配された基板（図示略）上に設けられても良いが、本実施形態では選択走査ドライバ5および電源走査ドライバ6が透明基板8上における表示部4の互いに対向する二辺の外側に配置されている。そして選択走査線 $X_1 \sim X_m$ は選択走査ドライバ5の各出力端子に接続されており、電源走査線 $Z_1 \sim Z_m$ は電源走査ドライバ6の各出力端子に接続されている。

【0027】

また、選択走査線 X_i ($1 \leq i \leq m$) および電源走査線 Z_i には横方向に配列された n 個の画素 $P_{i,1} \sim P_{i,n}$ が接続され、信号線 Y_j ($1 \leq j \leq n$) には縦方向

に配列された m 個の画素 $P_{1,j} \sim P_{m,j}$ が接続され、選択走査線 X_i と信号線 Y_j との交差部には画素 $P_{i,j}$ が配置されている。

【0028】

次に、図2、図3を参照して画素 $P_{i,j}$ を説明する。図2は画素 $P_{i,j}$ を概略的に示す平面図であり、図3は画素 $P_{i,j}$ 、 $P_{i+1,j}$ 、 $P_{i,j+1}$ 、 $P_{i+1,j+1}$ に対応する等価回路を示す図である。なお、後述するトランジスタ21、22、23のゲート絶縁膜並びに有機EL素子の上側電極（本実施形態におけるカソード電極に相当）は図示を省略している。

【0029】

画素 $P_{i,j}$ は、駆動電流のレベルに応じた輝度で発光する有機EL素子 $E_{i,j}$ と、有機EL素子 $E_{i,j}$ の周辺に設けられた画素回路 $D_{i,j}$ とにより構成される。

【0030】

有機EL素子 $E_{i,j}$ は、透明基板8上にアノード51、有機EL層52、カソード（図示略）が順に積層された積層構造を有する。

【0031】

アノード51は画素 $P_{1,1} \sim P_{m,n}$ 毎にパターニングされており、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ とにより囲繞された各囲繞領域に形成されている。信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ との交差部には、トランジスタ21、22、23のパターニングされた各半導体層21c、22c、23cと同一の層がパターニングしてなる層と、トランジスタ21、22、23のゲート絶縁膜と、が積層されている。そして、信号線 $Y_1 \sim Y_n$ と選択走査線 $X_1 \sim X_m$ との各交差部には、後述するトランジスタ21、22、23のパターニングされた各半導体層21c、22c、23cと同一の層がパターニングしてなる層28と、トランジスタ21、22、23のゲート絶縁膜と、が積層されている。同様に、信号線 $Y_1 \sim Y_n$ と電源走査線 $Z_1 \sim Z_m$ との各交差部には、トランジスタ21、22、23のパターニングされた各半導体層21c、22c、23cと同一の層29がパターニングしてなる層と、トランジスタ21、22、23のゲート絶縁膜と、が積層されている。

【0032】

アノード 51 は、導電性を有するとともに、可視光に対し透過性を有する。また、アノード 51 は、比較的仕事関数の高く、正孔を有機 EL 層 52 へ効率よく注入するものが好ましい。アノード 51 としては、例えば、錫ドープ酸化インジウム (ITO)、亜鉛ドープ酸化インジウム (IZO)、酸化インジウム (In_2O_3)、酸化スズ (SnO_2) または酸化亜鉛 (ZnO) を主成分としたものがある。

【0033】

各々のアノード 51 上には有機化合物を含む有機 EL 層 52 が成膜され、有機 EL 層 52 も画素 $P_{1,1} \sim P_{m,n}$ 毎にパターンニングされている。有機 EL 層 52 は、例えば、アノード 51 から順に正孔輸送層、狭義の発光層、電子輸送層が積層された三層構造であっても良いし、アノード 51 から順に正孔輸送層、狭義の発光層が積層された二層構造であっても良いし、狭義の発光層のみによる一層構造であっても良いし、これらの層構造において適切な層間に電子あるいは正孔の注入層が介在した積層構造であっても良いし、その他の積層構造であっても良い。

【0034】

有機 EL 層 52 は、正孔および電子を注入する機能、正孔および電子を輸送する機能、正孔と電子との再結合により励起子を生成して赤色、緑色または青色の何れかに発光する機能を有する広義の発光層である。つまり、画素 $P_{i,j}$ が赤の場合、この画素 $P_{i,j}$ の有機 EL 層 52 は赤色に発光し、画素 $P_{i,j}$ が緑の場合、この画素 $P_{i,j}$ の有機 EL 層 52 は緑色に発光し、画素 $P_{i,j}$ が青の場合、この画素 $P_{i,j}$ の有機 EL 層 52 は青色に発光する。

【0035】

また、有機 EL 層 52 は、電子的に中立な有機化合物であることが望ましく、これにより正孔および電子が有機 EL 層 52 でバランス良く注入され、輸送される。また、電子輸送性の物質が狭義の発光層に適宜混合されていても良いし、正孔輸送性の物質が狭義の発光層に適宜混合されていても良いし、電子輸送性の物質および正孔輸送性の物質の両方が狭義の発光層に適宜混合されていても良い。

【0036】

有機 EL 層 52 上にはカソードが形成されている。カソードは、全ての画素 P

$1,1 \sim P_{m,n}$ に接続された導電層となる共通電極であっても良いし、画素 $P_{1,1} \sim P_{m,n}$ 毎にパターンニングされていても良い。何れにしても、カソードは、選択走査線 $X_1 \sim X_m$ 、信号線 $Y_1 \sim Y_n$ および電源走査線 $Z_1 \sim Z_m$ に対し電氣的に絶縁されている。

【0037】

カソードは、仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム、カルシウム、リチウム若しくはバリウムまたはこれらの少なくとも一種を含む合金若しくは混合物等で形成されている。また、カソードは、以上の各種材料の層が積層された積層構造となっても良いし、以上の各種材料の層に加えて金属層が堆積した積層構造となっても良く、具体的には、以上の各種材料の層上にアルミニウム、クロム等といった高仕事関数で且つ低抵抗の金属層が被覆された積層構造となっても良い。また、カソードは、可視光に対して遮光性を有するとともに可視光に対して高い反射性を有することで、鏡面として作用するのが好ましい。

【0038】

なお、アノード51およびカソードのうちの少なくとも一方が透明であっても良いが、片方の電極が透明であり且つ他方の電極が高反射性であることがより好ましい。

【0039】

以上のように、積層構造を有する有機EL素子 $E_{i,j}$ では、アノード51とカソードとの間に順バイアス電圧（アノード51がカソードより高電位）が印加されると、正孔がアノード51から有機EL層52へ注入され、電子がカソードから有機EL層52に注入される。

【0040】

そして、有機EL層52内で正孔および電子が輸送され、有機EL層52内で正孔および電子が再結合することにより励起子が生成され、励起子により有機EL層52内の蛍光体が励起されて有機EL層52内で発光する。

【0041】

有機EL素子 $E_{i,j}$ の発光輝度は、有機EL素子 $E_{i,j}$ に流れる駆動電流のレベ

ルに依存し、電流レベルが増大するにつれて発光輝度も増大する。つまり、有機 EL 素子 $E_{i,j}$ に流れる駆動電流のレベルが定まると有機 EL 素子 $E_{i,j}$ の輝度が一義的に定まる。

【0042】

画素回路 $D_{i,j}$ は、データドライバ 3、選択走査ドライバ 5 および電源走査ドライバ 6 から出力された信号に基づいて有機 EL 素子 $E_{i,j}$ を駆動する。各画素回路 $D_{i,j}$ は、トランジスタ 21、22、23 と、コンデンサ 24 とを備える。

【0043】

トランジスタ 21、22、23 は、ゲート電極、ドレイン電極、ソース電極、半導体層、不純物半導体層、ゲート絶縁膜等から構成された MOS 型の電界効果トランジスタであり、特にアモルファスシリコンを半導体層（チャネル領域）としたトランジスタであるが、ポリシリコンを半導体層としたトランジスタであってもよい。また、トランジスタ 21、22、23 の構造は逆スタガ型であっても良いし、コプラナ型であっても良い。

【0044】

なお、ゲート電極、ドレイン電極、ソース電極、半導体層、不純物半導体層、ゲート絶縁膜等の組成はトランジスタ 21、22、23 のそれぞれについて同一である。また、トランジスタ 21、22、23 は、同一工程で同時に形成されるが、形状、大きさ、寸法、チャネル幅、チャネル長等はトランジスタ 21、22、23 のそれぞれについて異なる。

【0045】

本実施の形態では、トランジスタ 21、22、23 を N チャネル型のアモルファスシリコン電界効果トランジスタとして説明する。

【0046】

トランジスタ 21 のソース電極 21s とドレイン電極 21d との間にはそれぞれ不純物半導体層を介して半導体層 21c が配置されている。トランジスタ 22 のソース電極 22s とドレイン電極 22d との間にはそれぞれ不純物半導体層を介して半導体層 22c が配置されている。トランジスタ 23 のソース電極 23s とドレイン電極 23d との間にはそれぞれ不純物半導体層を介して半導体層 23

cが配置されている。コンデンサ24は、一方の電極がトランジスタ23のゲート電極23gに接続され、他方の電極がトランジスタ23のソース電極23sに接続され、一方の電極と他方の電極との間に誘電体を介在させたものである。この誘電体は、トランジスタ21、22、23のゲート絶縁膜であってもよく、トランジスタ23の半導体層23cや不純物半導体層であってもよく、これらのうちの少なくとも2つを含んでいてもよい。

【0047】

各トランジスタ22のゲート電極22gは選択走査線 $X_1 \sim X_m$ のいずれかに接続され、ドレイン電極22dは電源走査線 $Z_1 \sim Z_m$ のいずれか及びトランジスタ23のドレイン電極23dに接続されている。ソース電極22sは、ゲート絶縁膜に設けられたコンタクトホール25を介してトランジスタ23のゲート電極23およびコンデンサ24の一方の電極に接続されている。

【0048】

トランジスタ23のソース電極23sは、コンデンサ24の他方の電極およびトランジスタ21のドレイン電極21dに接続されている。トランジスタ23のドレイン電極23dは、ゲート絶縁膜に設けられたコンタクトホール26を介して電源走査線 $Z_1 \sim Z_m$ のいずれかに接続されている。

【0049】

トランジスタ21のゲート電極21gは選択走査線 X_i に接続され、ソース電極21sは信号線 Y_j に接続されている。トランジスタ23のソース電極23s、コンデンサ24の他方の電極およびトランジスタ21のドレイン電極21dは、有機EL素子 $E_{i,j}$ のアノード51に接続されている。

【0050】

有機EL素子 $E_{i,j}$ のカソードの電位は、一定の基準電位 V_{SS} に保たれており、本実施の形態では、有機EL素子 $E_{i,j}$ のカソードが接地されることで基準電位 V_{SS} が0V（ボルト）となっている。

【0051】

ここで、図4を参照してNチャネル型のトランジスタ（例えばトランジスタ23として説明するが、トランジスタ21、トランジスタ22であっても良い。）

の電流－電圧特性を説明する。縦軸はトランジスタのドレイン－ソース間電流値で横軸はとドレイン－ソース間電圧値を示す。

【0052】

図4に示すように、トランジスタ23では、ゲート－ソース間電圧レベル V_{GS} （例えば、 $V_{GS1} \sim V_{GS4}$ 。）毎にドレイン－ソース間電圧レベル V_{DS} とドレイン－ソース間電流レベル I_{DS} との間の相関がただ一つ定まる。

【0053】

ここで、ゲート－ソース間電圧レベル $V_{GS1} \sim V_{GS4}$ は、有機EL素子 $E_{1,1} \sim E_{m,n}$ に対する異なった4つの階調レベル数に対応している。なお、階調レベル数は4つに限らず、それ以上でもそれ以下でも良い。

【0054】

ドレイン－ソース間電圧レベル V_{DS} がドレイン飽和閾電圧レベル V_{TH} より大きな飽和領域では、ドレイン－ソース間電流レベル I_{DS} は飽和電流となり、ゲート－ソース間電圧レベル V_{GS} によって一義的に定まる。

【0055】

また、ドレイン－ソース間電圧レベル V_{DS} がドレイン飽和閾電圧レベル V_{TH} より小さな値となっている不飽和領域では、ドレイン－ソース間電流レベル I_{DS} は不飽和電流となり、一定のゲート－ソース間電圧レベル V_{GS} のもとでドレイン－ソース間電圧レベル V_{DS} に略比例して（すなわち、略線形に）増減する。

【0056】

従って、一定のゲート－ソース間電圧レベル V_{GS} のもとでドレイン－ソース間電流レベル I_{DS} を増減させようとする場合、ドレイン－ソース間電圧レベル V_{DS} をドレイン飽和閾電圧レベル V_{TH} より十分小さな値に設定すれば良い。つまり、トランジスタ23のドレイン－ソース間に流れるドレイン－ソース間電流レベル I_{DS} を大きくした状態で、ゲート－ソース間電圧レベル V_{GS} が所定のレベルに保持させてからドレイン－ソース間電圧レベル V_{DS} を所定のレベルだけ一義的に下げること、トランジスタ23のソースドレイン間に流れるドレイン－ソース間電流レベル I_{DS} を一義的に小さくすることができる。

【0057】

このように、有機EL表示装置1では、トランジスタ23のドレインソース間電圧レベル V_{DS} をドレイン飽和閾電圧レベル V_{TH} より十分小さな値に設定することにより、後述する選択期間 T_{SE} に、トランジスタ23のドレインソース間に流れるドレインソース間電流レベル I_{DS} を大きくして、後述する非選択期間 T_{NSE} に、トランジスタ23のドレインソース間に流れるドレインソース間電流レベル I_{DS} を小さくすることができるので、信号線 $Y_1 \sim Y_n$ の寄生容量が大きくても選択期間 T_{SE} にトランジスタ23のドレインソース間電流レベル I_{DS} が定常状態になる時定数をより小さくできるとともに、非選択期間 T_{NSE} に有機EL素子 $E_{1,1} \sim E_{m,n}$ の発光に適した微小な電流レベルのドレインソース間電流レベル I_{DS} が得られるようになっている。

【0058】

次に、データドライバ3、選択走査ドライバ5および電源走査ドライバ6について説明する。

【0059】

選択走査ドライバ5は、いわゆるシフトレジスタであり、 m 個のフリップフロップ回路等が直列に接続された構成となっている。さらに、選択走査ドライバ5は、図1、図3に示すように、選択信号をそれぞれの選択走査線 $X_1 \sim$ 選択走査線 X_m に所定期間・周期で印加する、つまり、外部回路11から入力されたクロック信号 CK_2 に基づいて選択走査線 X_1 から選択走査線 X_m の順（特に、選択走査線 X_m の次は選択走査線 X_1 。）にハイレベルの選択信号であるオン電位 V_{ON} を順次印加して選択走査線 $X_1 \sim X_m$ を順次選択する。非選択時には、選択走査ドライバ5は、ローレベルの非選択信号であるオフ電位を印加する（図5のタイミングチャート参照。）。

【0060】

電源走査ドライバ6は、図1、図3に示すように、比較的高レベルの電位 V_{HIGH} と、比較的低レベルの電位 V_{LOW} とを各々所定期間・周期で信号線 $Y_1 \sim Y_n$ に印加する（図5のタイミングチャート参照。）。電位 V_{HIGH} 並びに電位 V_{LOW} は、いずれも基準電位 V_{SS} より高く設定されている。

【0061】

ここで、電位 V_{HIGH} は、比較的高レベルであり、電位 V_{HIGH} と基準電位 V_{SS} との電位差は十分大きい。ここで電源走査線 Z_i に電位 V_{HIGH} が印加されたときのトランジスタ 23 のドレインソース間電圧レベルを電圧 V_{DSH} とすると、

$$V_{DSH} = V_{HIGH} - V_E - V_{SS} \cdots \cdots (1)$$

となる。 V_E は有機 EL 素子 $E_{i,j}$ に分圧される電圧である。このドレインソース間電圧レベルを V_{DSH} は、少なくとも無発光以外の最低輝度階調時のトランジスタ 23 のゲートソース間電圧レベル V_{GS1} のときのしきい値電圧 V_{TH} よりも高く設定されている。望ましくは、中間階調時のトランジスタ 23 のゲートソース間電圧レベル V_{GSM} よりも高く設定され、より望ましくは最高輝度階調時のトランジスタ 23 のゲートソース間電圧レベル V_{GS4} のときのしきい値電圧 V_{TH} よりも高く設定されている。このため、トランジスタ 23 のドレインソース間電流レベル I_{DS} は飽和電流またはそれに近い大電流となっている。

【0062】

一方、電位 V_{LOW} は、比較的低レベルであり、電位 V_{HIGH} と基準電位 V_{SS} との電位差は小さい。ここで電源走査線 Z_i に電位 V_{LOW} が印加されたときのトランジスタ 23 のドレインソース間電圧レベルを V_{DSL} とすると、

$$V_{DSL} = V_{LOW} - V_E - V_{SS} \cdots \cdots (2)$$

となる。このドレインソース間電圧レベルを V_{DSL} は、図 4 に示すように、少なくとも最高輝度階調時のトランジスタ 23 のゲートソース間電圧レベル V_{GS4} のときのしきい値電圧 V_{TH} よりも低く設定されている。望ましくは、中間階調時のトランジスタ 23 のゲートソース間電圧レベル V_{GSM} よりも低く設定されている。

【0063】

このため、少なくともある階調で有機 EL 素子 $E_{i,j}$ の発光する際に、電位 V_{HIGH} が印加されている選択期間 T_{SE} に信号線 Y_j に流れる電流は十分大きい、非選択期間 T_{NSE} に有機 EL 素子 $E_{i,j}$ に流れる電流を小さくすることができる。すなわち、非選択期間 T_{NSE} 中に有機 EL 素子 $E_{i,j}$ に流れる電流が有機 EL 素子 $E_{i,j}$ の素子特性に応じて微小電流を流す場合であっても、選択期間 T_{SE} に信号線 Y_j に流れる電流はそれよりも大きいので、たとえ信号線 Y_j の寄生容量が大きく

でも遅延しない。このように時定数を増大しなくて良いので高周波数で駆動しなくても良いため消費電力を抑えることができ、またアモルファスシリコン等の比較的移動度のトランジスタをトランジスタ 21～23 に用いることが可能となる。

【0064】

データドライバ3の接続端子CNT1～CNTnには、図1、図3に示すように、それぞれ信号線Y₁～Y_nが接続されている。データドライバ3には外部回路11からクロック信号CK1や輝度階調信号SCを含む制御信号群D_{CNT}が入力され、データドライバ3は入力したクロック信号CK1のタイミングによって輝度階調信号SCをラッチし、信号線Y₁～Y_nからそれぞれの接続端子CNT1～CNTnに対し輝度階調信号SCに応じた階調指定電流を流す。具体的には、選択走査線X₁～X_mが選択されている各々の選択期間T_{SE}の時に、データドライバ3により階調指定電流が信号線Y₁～Y_nから全ての接続端子CNT1～CNTnに向かって同期して流れる。

【0065】

ここで、階調指定電流とは、外部回路11からの輝度階調信号SCに応じた輝度で有機EL素子E_{1,1}～E_{m,n}を発光させるため、有機EL素子E_{1,1}～E_{m,n}に流れる電流レベル（比較的小さな電流値であり、例えば、数十nA～数μA程度。）を流すための電流（比較的大きな電流であり、例えば、数百nA～数mA程度。）であって、信号線Y₁～Y_nからそれぞれの接続端子CNT1～CNTnに向かって流れる電流である。

【0066】

次に、動作を説明する。図5に、有機EL表示装置1における各信号のタイミングチャートを示す。

【0067】

図5に示すように、ハイレベルの選択信号としてオン電位V_{ON}（例えば基準電位V_{SS}より十分高い。）またはローレベルの選択信号としてオフ電位V_{OFF}（例えば基準電位V_{SS}以下である。）の何れかのレベルの電位が、選択走査ドライバ5により、選択走査線X₁～X_mに個別に印加され、所定間隔・周期で各選択走査

線 X_i が順次選択される。

【0068】

すなわち、選択走査線 X_i が選択されている第 i 行目の選択期間 T_{SE} では、選択走査ドライバ 5 によりオン電位 V_{ON} が選択走査線 X_i に印加され、電源走査線 Z_i に電位 V_{HIGH} が印加されると、選択走査線 X_i に接続されたトランジスタ 21、22（画素回路 $D_{i,1} \sim D_{i,n}$ の各トランジスタ 21、22 である。）がオン状態になる。このとき、トランジスタ 23 のソース電極 23s とドレイン電極 23d との間には電圧 V_{DSH} が印加され飽和電流又は飽和電流に近い相対的に大きい電流値の電流が流れるようになっていたため、トランジスタ 21、22 がオン状態になるとトランジスタ 23 を介して信号線 Y_j に階調指定電流が流れ始める。階調指定電流が流れ始めると、トランジスタ 23 のゲート電極 23g とソース電極 23s との間のコンデンサ 24 には、トランジスタ 23 のソース電極 23s とドレイン電極 23d との間に階調指定電流が定常状態で流れる程度にチャージアップされる。ここで、トランジスタ 23 のソース電極 23s とドレイン電極 23d との間に流れる電流は飽和電流又は飽和電流に近い相対的に大きい電流値の電流なので迅速にチャージアップすることができる。

【0069】

一方、このとき選択走査線 X_i 以外の選択走査線 $X_1 \sim X_{i-1}$ 、 $X_{i+1} \sim X_m$ に対応する行では、非選択期間 T_{NSE} になっており、選択走査ドライバ 5 によりオフ電位 V_{OFF} が印加されているので、画素回路 $D_{i,1} \sim D_{i,n}$ 以外のトランジスタ 21、22 がオフ状態になり、階調指定電流が流れない。ここで、 $T_{SE} + T_{NSE} = T_{SC}$ で表される期間が一垂直期間であり、選択走査線 $X_1 \sim X_m$ の各選択期間 T_{SE} は互いに重ならない。なお、図 5 には、「 T_{SE} 」、「 T_{NSE} 」および「 T_{SC} 」が記されているが、これらは 1 行目の選択走査線 X_1 のみについてのものである。

【0070】

ここで、選択走査ドライバ 5 がオン電位 V_{ON} を選択走査線 X_i に印加してから次の選択走査線 X_{i+1} にオン電位 V_{ON} を印加するまでには時間的間隔が設けられている。

【0071】

そして画素回路 $D_{i,1} \sim D_{i,n}$ が第 i 行目の非選択期間 T_{NSE} に移行すると、選択走査線 X_i には、選択走査ドライバ 5 によりオフ電位 V_{OFF} が印加され、コンデンサ 24 のチャージが保持される。また電源走査線 Z_i には電位 V_{HIGH} からより低い電位 V_{LOW} にシフトされるので、画素回路 $D_{i,1} \sim D_{i,n}$ の各トランジスタ 23 のドレイン-ソース間電圧レベルは V_{DSH} から V_{DSL} にシフトされる。このため、例えば図 4 に示すように、画素回路 $D_{i,j}$ のトランジスタ 23 のゲート-ソース間電圧レベル V_{GS4} に相当する電荷がコンデンサ 24 にチャージアップされているとすると、各トランジスタ 23 のドレイン-ソース間電圧レベル V_{DSH} のとき、つまり選択期間 T_{SE} にトランジスタ 23 のドレイン-ソース間に流れていた電流の電流レベル I_{DS} は I_{DS4} であったが、非選択期間 T_{NSE} にはトランジスタ 23 のドレイン-ソース間電圧レベルが電圧 V_{DSL} になるため、トランジスタ 23 が流す電流は、より低い電流レベル $I_{DS4'}$ に降下する。したがって有機 EL 素子 $E_{i,j}$ には、この電流レベル $I_{DS4'}$ が流れて発光することになる。 I_{DSk} と電流レベル $I_{DSk'}$ は常に 1 対 1 に対応するように設定されているので、 $I_{DS(k-1)} < I_{DSk}$ であれば、 $I_{DS(k'-1)} < I_{DSk'}$ となる。

【0072】

このように、非選択期間 T_{NSE} に有機 EL 素子 $E_{i,j}$ を所望の発光輝度で発光するために必要な有機 EL 素子 $E_{i,j}$ のアノード-カソード間の電流値が $I_{DSk'}$ であるとする、その直前の選択期間 T_{SE} にトランジスタ 23 のソース-ドレイン間に飽和電流 I_{DSk} が流れるようにすればよく、このために選択期間 T_{SE} のトランジスタ 23 のソース-ドレイン間電圧が V_{DSH} にして飽和電流 I_{DSk} に達するように電源走査線 Z_i に電圧 $V_{HIGH} (> V_{SS})$ を印加し且つトランジスタ 23 のゲート-ソース間のコンデンサ 24 に飽和電流 I_{DSk} に相当する電荷がチャージされるようにデータドライバ 3 が信号線 Y_j から適宜電流を流すように引き抜けばよい。

【0073】

以上説明したように、本実施の形態によれば、有機 EL 表示パネル 2 の各画素 $P_{1,1} \sim P_{m,n}$ に対し、各選択期間 T_{SE} 中に、トランジスタ 23 のドレイン-ソース間電流が飽和電流となるように比較的大きい電流を流すために、従来と同様の

比較的大レベルの電位 V_{HIGH} を電源走査線 $Z_1 \sim Z_n$ に印加させるので寄生容量による信号線 Y_j の電圧の定常化遅延を抑制でき、非選択期間 T_{NSE} 中に、トランジスタ 23 のドレインソース間電圧レベル V_{DS} が不飽和領域となるような比較的小レベルの電位 V_{LOW} が電源走査線 $Z_1 \sim Z_n$ に印加させるので、トランジスタ 23 のドレインソース間電流レベル I_{DS} を数十 nA ～数 μA 程度の微小レベルとすることができる。

【0074】

したがって、従来型とは異なる複雑な有機 EL 表示パネルを用いることなく、有機 EL 素子 $E_{1,1} \sim E_{m,n}$ が発光するために必要な数十 nA ～数 μA 程度の微小レベルの電流を有機 EL 素子 $E_{1,1} \sim E_{m,n}$ に流すことができるので、アモルファスシリコンのトランジスタ 21、22、23 の電流駆動能力不足が招く、寄生容量による信号書き込み率の低下を抑制できる。このため、製造コストが低く、歩留りの高い有機 EL 表示装置 1 が実現できる。

【0075】

なお、本発明は、上記各実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【0076】

例えば、本実施の形態においては、有機 EL 表示パネル 2 は、一画素に対応するスイッチング素子として、三つのトランジスタで主要部分が構成されるものとして説明したが、これに限らず、あらゆる電流階調指定による有機 EL 表示装置に対し適用可能であり、例えば、図 6 (a) に示すように、有機 EL 表示装置 100 の第 k 行目 ($1 \leq k \leq m$) の画素回路 $D_{k,1} \sim D_{k,n}$ のトランジスタ 22 のドレイン電極 22d が選択走査線 X_k に接続されていてもよい。有機 EL 表示装置 100 のその他の構成においては、図 1 に示す有機 EL 表示装置 1 と同様である。また、図 6 (b) に示すようにスイッチング素子の主たる部分が 4 つのトランジスタで構成された有機 EL 表示装置 101 を適用しても良い。有機 EL 表示装置 101 は、第 k 行目の選択期間に、選択走査線 X_k を介して出力された選択信号より所定の行の各トランジスタ 120、121 が選択され、且つ第 k 行目の電源走査線 Z_k が各トランジスタ 122 にオフ電圧を印加している間、信号線 $Y_1 \sim$

Y_n のそれぞれから各トランジスタ120を介して各トランジスタ123のゲートにオン電位が出力されるとともに、トランジスタ121を介してトランジスタ123にドレイン電流 I_{DS} が流れる。このとき、ドレイン電流 I_{DS} はトランジスタ123のドレインソース間電圧が飽和領域に達するような電圧になっており、コンデンサ124にはドレイン電流 I_{DS} に応じた電荷がチャージされる。次いで第 k 行目の非選択期間に、選択走査線 X_k を介して各トランジスタ120、121にオフ電圧が印加され、電源走査線 Z_k が各トランジスタ122のドレインに、各トランジスタ122のドレインソース間電圧が不飽和領域となるようなオン電圧を印加することで各トランジスタ123がコンデンサ124に保持された電荷によるゲートソース間電位にしたがい不飽和ドレイン電流 I'_{DS} を流す。したがって選択期間に信号線 $Y_1 \sim Y_n$ のを流れる電流の電流値を大きくすることで寄生容量による遅延を抑制し、非選択期間に有機EL素子E2を流れる電流の電流値を所望の輝度に合わせて微小にすることができる。

【0077】

すなわち、4トランジスタ等価回路101に対しても、選択期間 T_{SE} 中には、従来と同様の比較的低レベルの電位 V_{LOW} が電源走査線 Z に印加され、非選択期間 T_{NSE} 中に、トランジスタ123のドレインソース間電圧レベル V_{DS} が不飽和領域となるような比較的小レベルの電位 V_{LOW} が電源走査線 Z に印加される。この電位 V_{LOW} により、トランジスタ123のドレインソース間電流レベル I_{DS} は、有機EL素子E2が発光するために必要な数十nA～数 μ A程度の微小レベルとなる。

【0078】

この場合、選択期間 T_{SE} 中に有機EL素子E2に電流が流れ、非選択期間 T_{NSE} 中の発光強度よりも強く発光する。しかし、選択期間 T_{SE} は非選択期間 T_{NSE} に比べて十分短期間であり、このため、当該発光強度の差異の影響は小さいものとなる。

【0079】

また、ポリシリコンによるトランジスタを用いた有機EL表示パネルに対しても本発明は適用可能である。

ポリシリコンによるトランジスタは、十分な電流駆動能力を有するため、アモルファスシリコンによるトランジスタの駆動時に懸念された寄生容量の影響による信号書き込み率の低下率は小さい。しかし、ポリシリコンによるトランジスタは電流駆動能力が大きすぎるため、トランジスタの寸法が小さくなり、その結果、加工精度にバラツキが生じ、この加工精度のバラツキが輝度バラツキを増大させることとなる。このような場合、本発明をポリシリコンによる有機EL表示パネルに適用することにより、上記影響の低減化が可能となる。

【0080】

【発明の効果】

本発明によれば、表示装置の構成を複雑化することなく、発光素子が発光するために十分なレベル（例えば、数十nA～数 μ A程度の微小レベル。）の発光信号（電流）が発光素子に供給可能となるので、消費電力の削減が図られると共に、製造コストが安く、歩留りの高い表示装置および当該表示装置の駆動方法が提供できる。

【図面の簡単な説明】

【図1】

本発明を適用した有機EL表示装置の内部構成を示すブロック図である。

【図2】

図1の有機EL表示装置の一画素を概略的に示す平面図である。

【図3】

図1の有機EL表示装置の画素に対応する等価回路を示す図である。

【図4】

Nチャネル型のトランジスタの電流－電圧特性を示す図である。

【図5】

図1の有機EL表示装置における信号レベルのタイミングチャートである。

【図6】

(a)は、他の有機EL表示装置の一画素分に対応する等価回路を示す図である。(b)は、一画素に4つのスイッチング素子を設けた等価回路を示す図である。

【図 7】

従来の有機 EL 表示装置の一画素分に対応した電流ミラー付等価回路を示す図である。

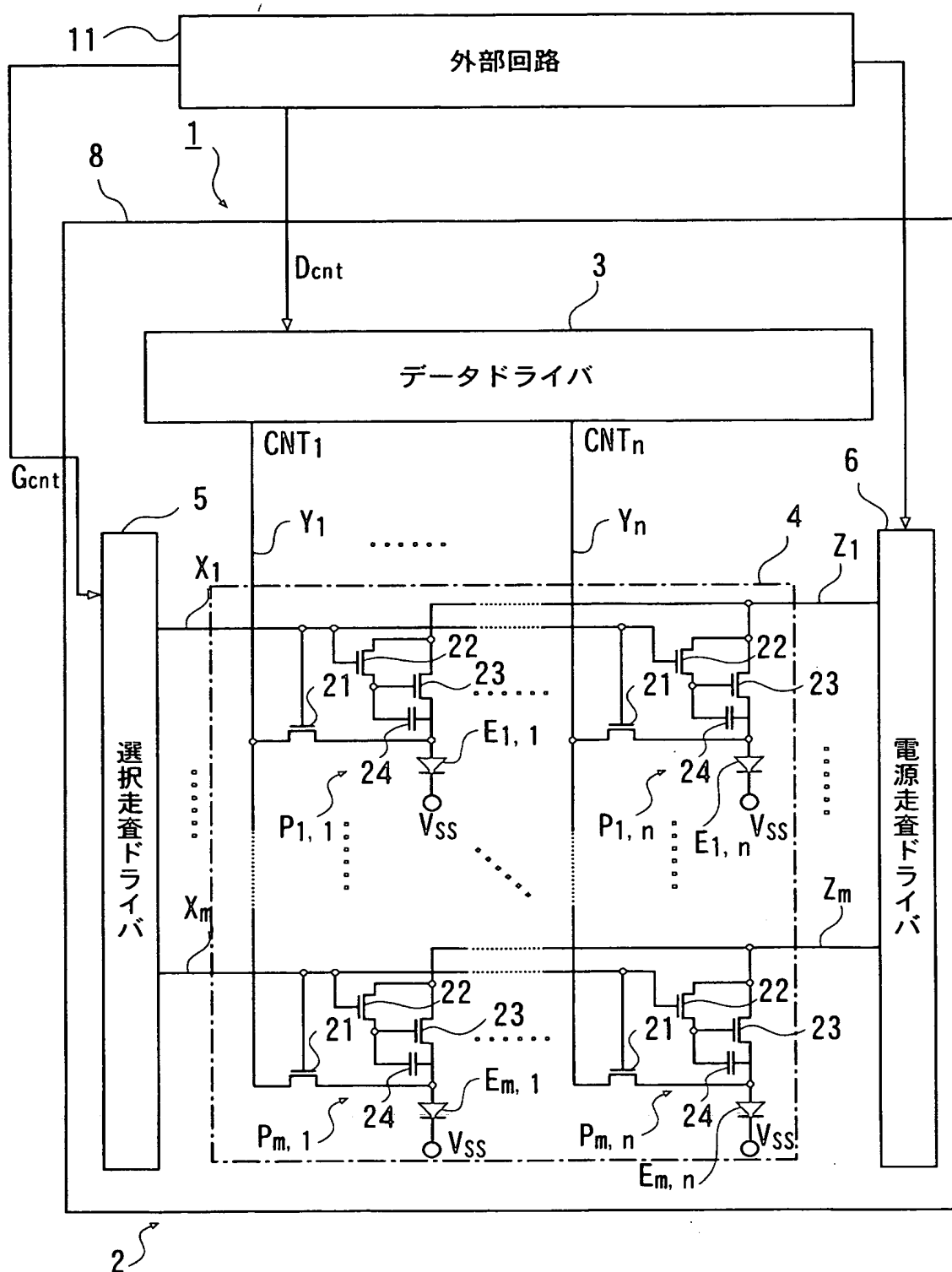
【符号の説明】

- 1 有機 EL 表示装置
- 1 1 外部回路
- 2 有機 EL 表示パネル
- 3 データドライバ
- 4 表示部
- 5 選択走査ドライバ
- 6 電源走査ドライバ
- 2 1 ~ 2 3 トランジスタ
- 2 4 コンデンサ
- $D_{1,1} \sim D_{m,n}$ 画素回路
- $P_{1,1} \sim P_{m,n}$ 画素
- $X_1 \sim X_n$ 選択線
- $Y_1 \sim Y_n$ 信号線
- $Z_1 \sim Z_n$ 電源走査線
- $E_{1,1} \sim E_{m,n}$ 有機 EL 素子

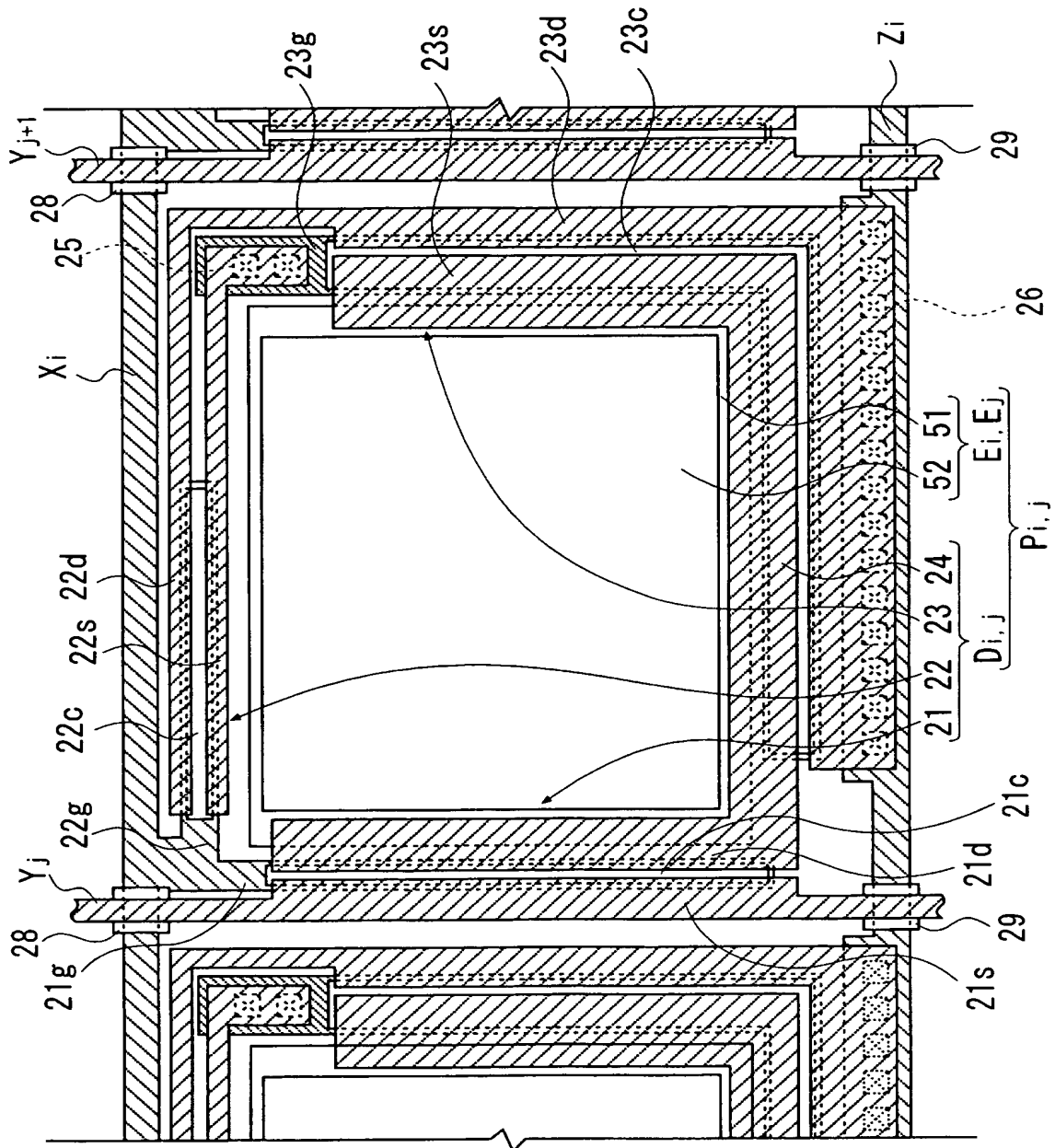
【書類名】

図面

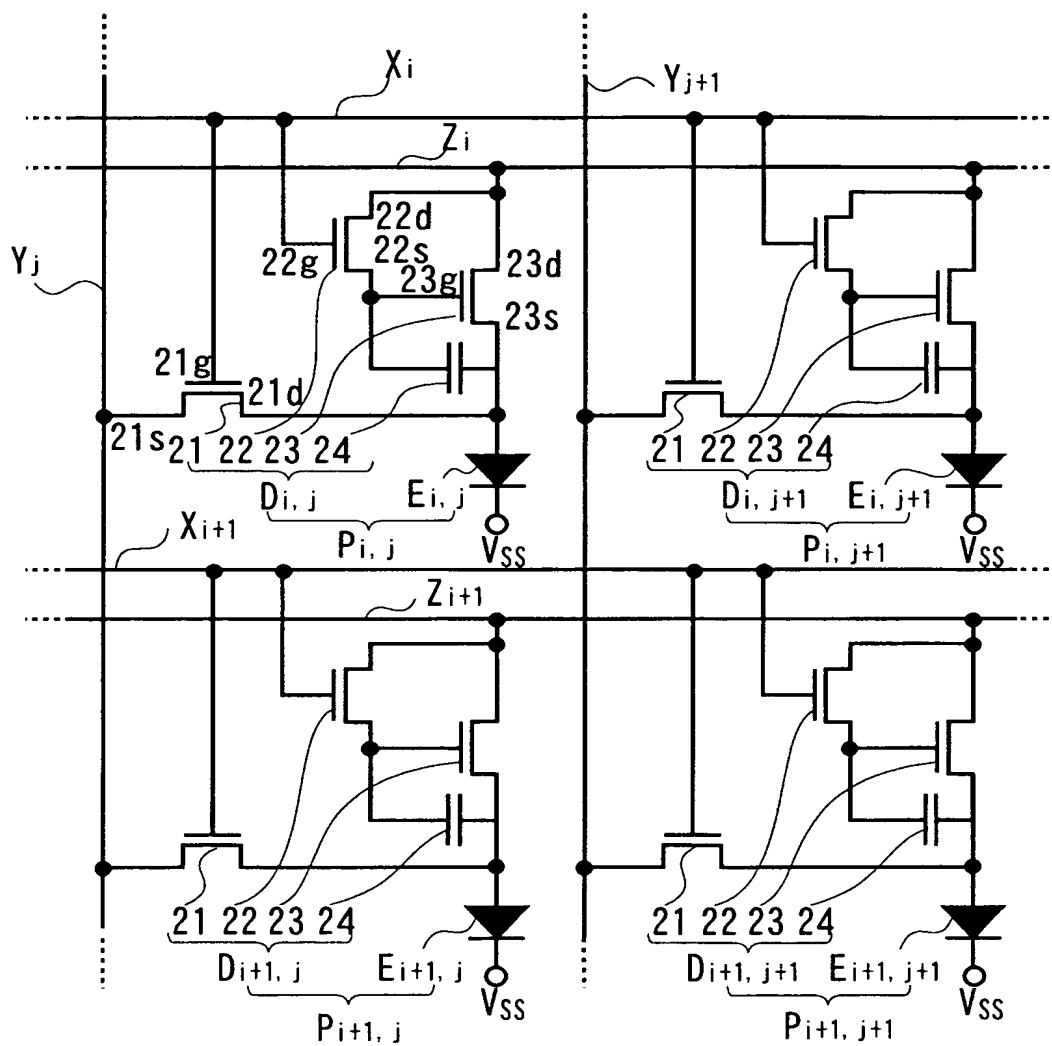
【図 1】



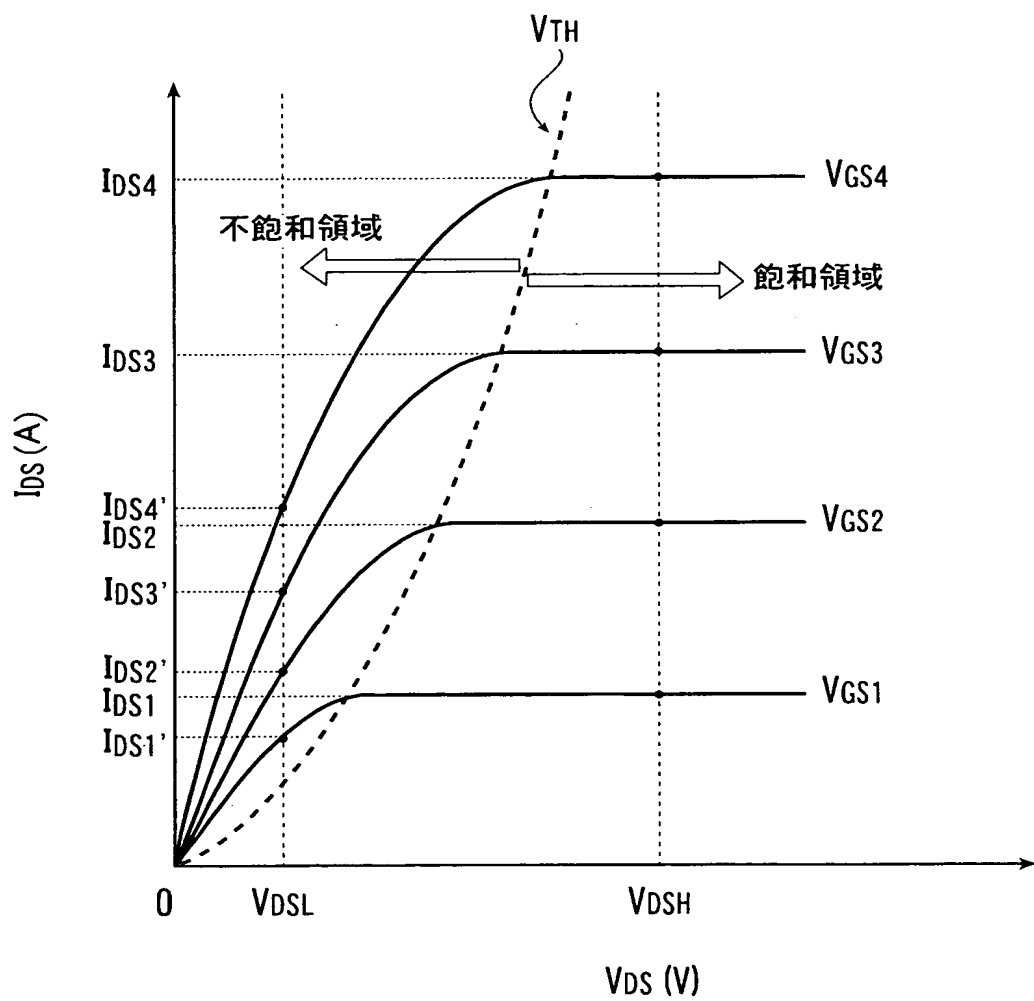
【図 2】



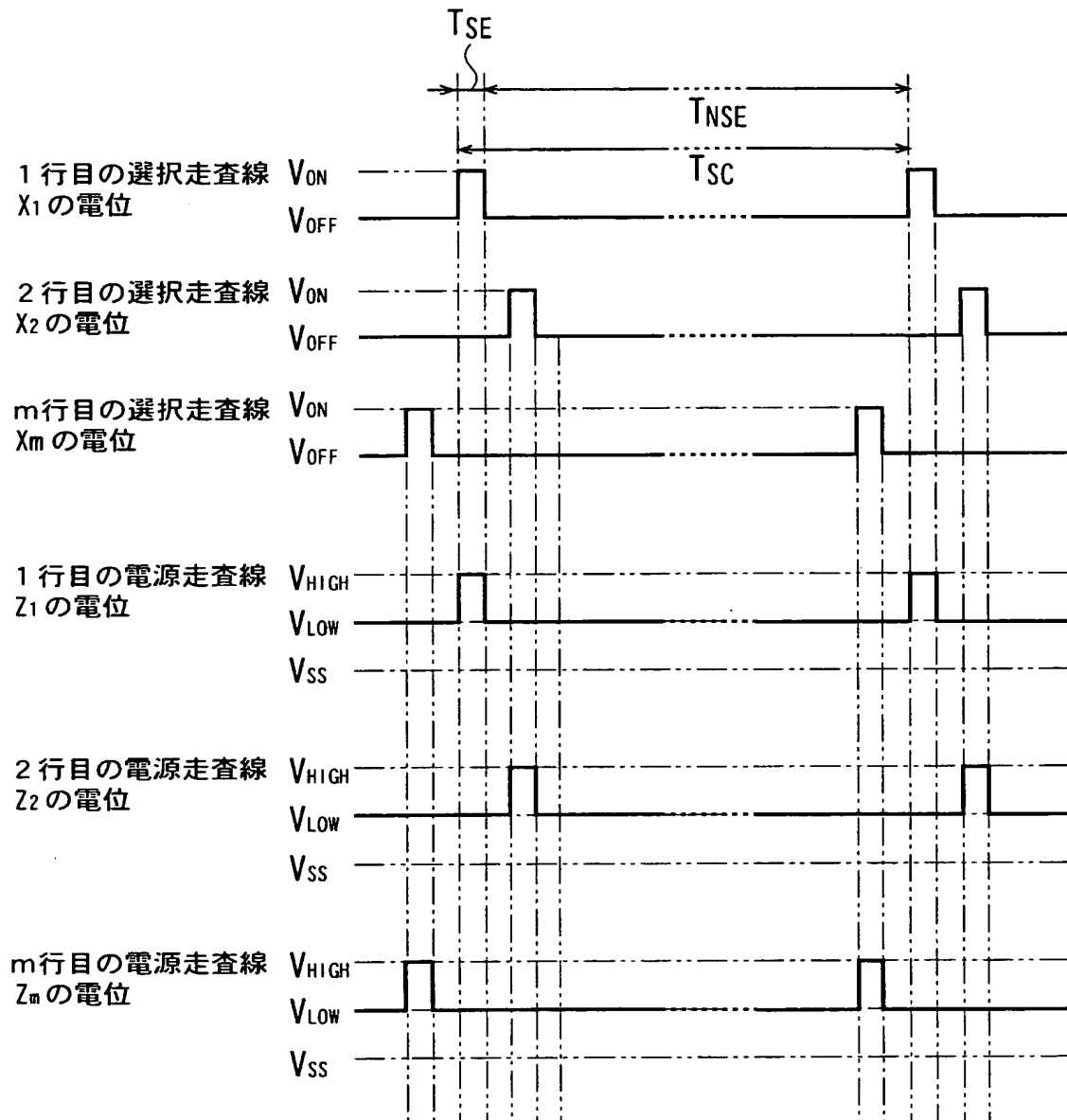
【図 3】



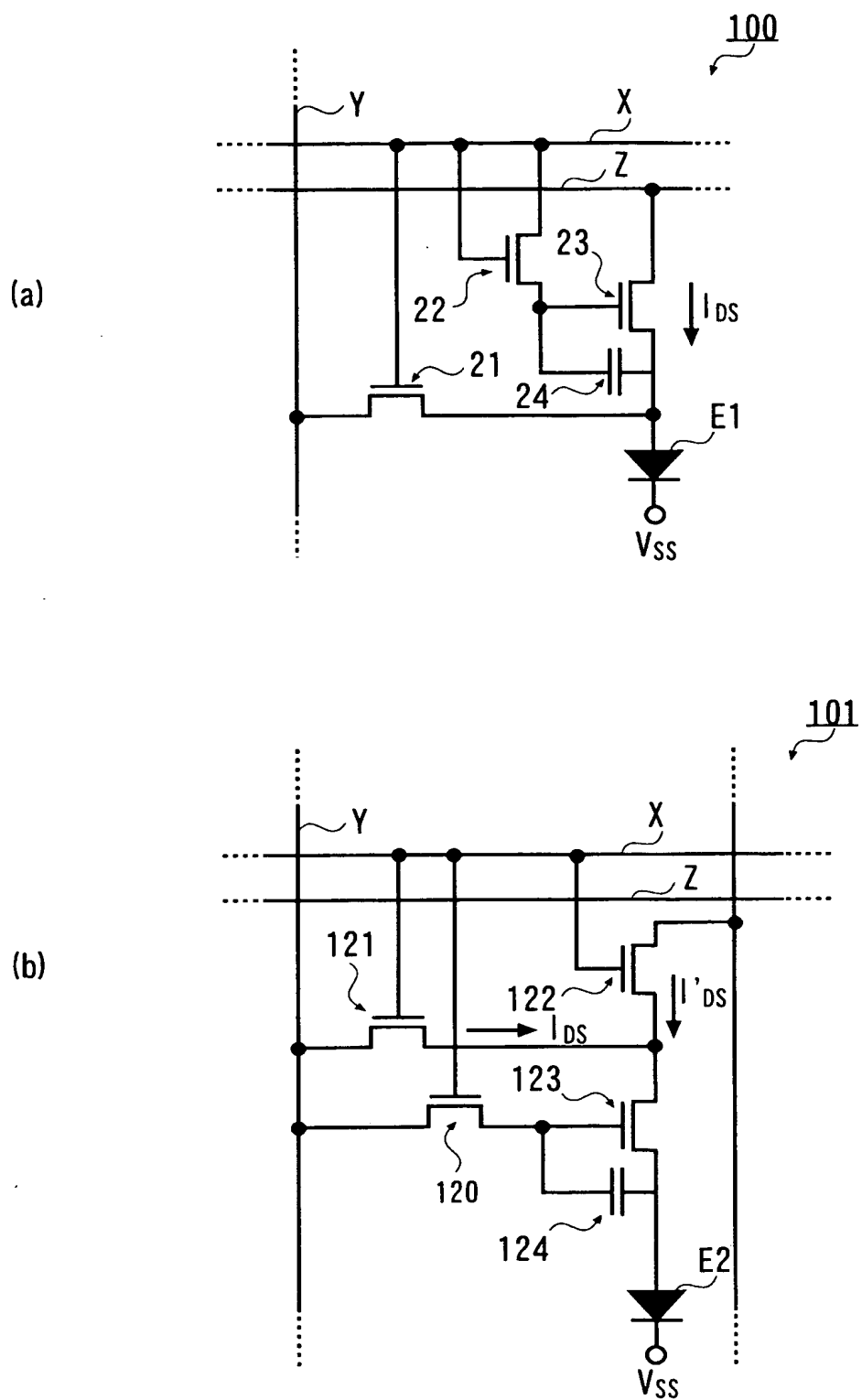
【図 4】



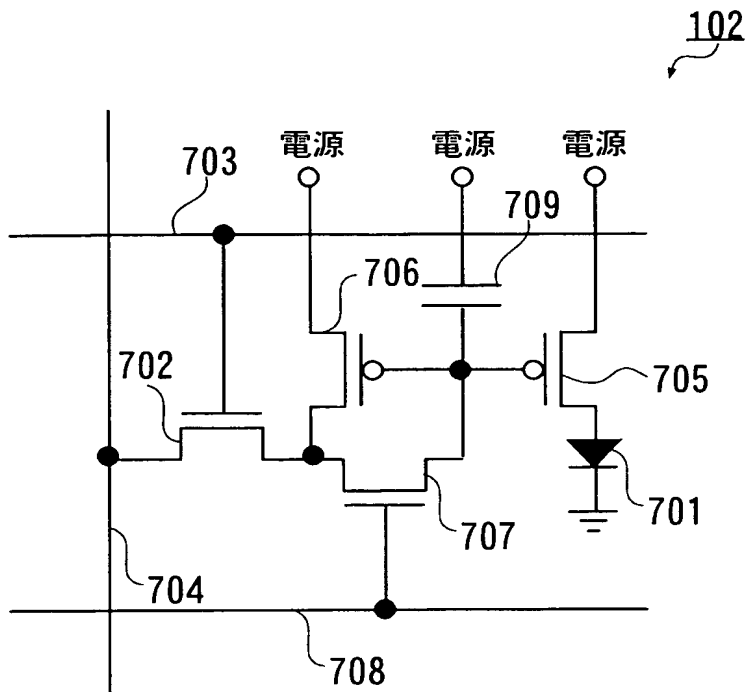
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 表示装置および当該表示装置の駆動方法に対し、寄生容量による遅延を抑制することである。

【解決手段】 有機EL表示パネル2の各画素 $P_{1,1} \sim P_{m,n}$ に対し、選択期間 T_{SE} 中に、従来と同様の比較的高レベルの電位 V_{HIGH} が電源走査線 $Z_1 \sim Z_n$ に印加され、非選択期間 T_{NSE} 中に、トランジスタ23のドレインソース間電圧レベル V_{DS} が不飽和領域となるような比較的小レベルの電位 V_{LOW} が電源走査線 $Z_1 \sim Z_n$ に印加される。この電位 V_{LOW} により、トランジスタ23のドレインソース間電流レベル I_{DS} は数十nA～数 μ A程度の微小レベルとなる。

【選択図】 図1

特願 2 0 0 3 - 0 4 7 1 9 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 4 4 3]

1. 変更年月日

1 9 9 8 年 1 月 9 日

[変更理由]

住所変更

住 所

東京都渋谷区本町 1 丁目 6 番 2 号

氏 名

カシオ計算機株式会社